

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-74820

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338				
29/812				
21/203	M	8422-4M		
29/203		7377-4M		
		7739-4M		
			H 0 1 L 29/ 80	H
			審査請求 未請求	請求項の数3(全 9 頁)

(21)出願番号 特願平3-233076

(22)出願日 平成3年(1991)9月12日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 高橋 直

大阪市阿倍野区長池町22番22号 シャープ  
株式会社内

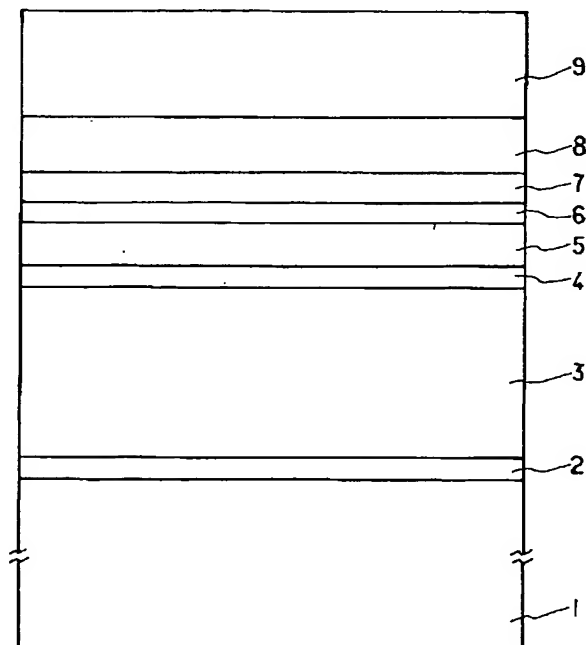
(74)代理人 弁理士 梅田 勝

(54)【発明の名称】 トランジスタ及び結晶成長方法

(57)【要約】

【目的】 InAlAsバッファ層とInP基板との界面構造に改良を加え、特性を向上する。また、高抵抗で安定なInAlAs層の形成を可能にする。

【構成】 InP基板1と高抵抗InAlAsバッファ層3との間にInAlAs保護層2を設ける。InAlAs保護層は、InP基板1の自然酸化膜除去温度と同じ温度で形成する。



## 【特許請求の範囲】

【請求項1】 InP基板上にInAlAsの保護層が形成され、該保護層上にInAlAsの高抵抗バッファ層が形成され、該バッファ層上にチャンネル層が形成されていることを特徴とするトランジスタ。

【請求項2】 上記保護層厚が100Å以下であることを特徴とする請求項1のトランジスタ。

【請求項3】 InP基板を加熱して自然酸化膜を除去し、

上記InP基板の温度を上記自然酸化膜除去時の温度に維持して分子線エピタキシャル法を用いてInAlAsを成長して保護層を形成し、

該保護層の形成されたInP基板の温度を高抵抗InAlAs層の分子線エピタキシャル成長に適した温度にまで降温し、

該成長温度に達した後、上記保護層上に高抵抗InAlAs層を分子線エピタキシャル成長により形成することを特徴とする結晶成長方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高速に動作するトランジスタ及びこのトランジスタの製造に用いることのできるInP基板上に高抵抗のInAlAsのエピタキシャル層を形成するための結晶成長方法に関する。

## 【0002】

【従来の技術】近年、高速動作トランジスタ実現のために、InAlAs/InGaAs積層膜を用いたトランジスタの研究が活発に行われている。これは、InAlAs層がInGaAs層により形成されるチャンネルに対して、十分高抵抗のバッファ層となるからであり、またInAlAs層はInGaAs層に比して十分電子親和力が小さく、禁制幅が大きくなるからである。

【0003】このInAlAs/InGaAs積層膜はInP基板上にInAlAs層がエピタキシャル成長され、この上にInGaAs層がエピタキシャル成長されて作製される。この際、InP基板には例えば以下のような前処理が施される。

【0004】すなわち、InP基板を導入室より分子線エピタキシ装置に導入され、直ちに高真空下の予備室に導入されて約300℃予備加熱が施される。これは、InP基板表面に物理的に吸着したH<sub>2</sub>O等の不純物を取り除くためである。予備加熱を終えたInP基板は、高真空下の通路を通り、高真空下の成長室に導入される。成長室に導入されたInP基板は、大気中あるいはエッチング作業中に形成された自然酸化膜に覆われている。しかし、この酸化膜は予備室での予備加熱では取り除くことができない。このためInP基板は清浄表面を得るために更に成長室内でAs<sub>4</sub>分子線を基板表面に照射されながらより高温の約560℃で一定時間加熱される。これはInP基板は、酸化膜を取り除くためにInPの

分解温度以上の温度に加熱する必要があるためである。従って、InP基板表面の酸化膜除去の際InPは分解される。その結果蒸気圧の高いPのみが蒸発し、Inが析出される結果となる。このため基板表面にAs<sub>4</sub>分子線が照射されるようにしておき、P原子が抜けた格子位置をAs原子が埋めることによりInの析出を防ぎながら基板の自然酸化膜を除去し清浄表面を得ている。次いで、このInP基板上にInAlAs層がエピタキシャル成長される。

【0005】このInAlAs層はInP基板との格子整合を図るために、通常AlAsの組成比が0.48となるように選ばれる。そして、このようにAlAsの組成比が高い場合には、基板温度が一定温度以上になると分子線エピタキシャル法による成長中にAlがnTypeの不純物を取り込んでInAlAs層がn型となるので、基板温度はあまり高くないように設定される。

【0006】例えば、図6に示すように、約560℃に加熱されて自然酸化膜の除去されたInP基板が、InAlAs層の最適成長温度（図では350℃）まで冷却され、この後、InとAlのシャッタが開けられた基板にInとAlの分子線が照射されてInAlAs層がエピタキシャル成長される。尚、Asの供給は先のAs<sub>4</sub>分子線がそのまま用いられる。

## 【0007】

【発明が解決しようとする課題】図6に示した従来方法を用いると、AlがnTypeの不純物を取り込むのを防ぐことができ、十分に高抵抗のInAlAs膜が得られる。しかしながら、InP基板を冷却していくと、十分高温であった場合には基板から解離していた浮遊不純物が、基板温度の低下と共に解離できなくなって冷却中にInP基板上に物理吸着される。また、酸化膜の除去されたInP基板表面から2～3分子層では、Pが抜けた後Asが置換することでInAsが形成されており、基板表面は非常に不安定な状態となる。

【0008】このようなことから、図6に示した従来の方法では非常に不安定なInP表面層に浮遊不純物が吸着することになって、エピタキシャル層と基板との界面に非常に不安定な層が挿入されることになり、InAlAs層の上に2次元電子ガスが蓄積されるような積層構造をエピタキシャル成長した場合に、電子濃度・電子移動度の高い2次元電子ガスが再現良く得られないという問題が生じる。

【0009】そこで、図7に示すように約560℃に加熱してInP基板の自然酸化膜を除去した後、すぐに、InとAlのシャッタを開けてInAlAs層のエピタキシャル成長を開始し、これと同時にInP基板を350℃になるように冷却する方法を用いてきた。この方法によって、冷却中にInP基板上に不純物が吸着されることがなく、InAlAs層のエピタキシャル成長層を冷却中に形成される下層はnTypeとなるものの、実

質的にバッファ層となる上層部は低温で成長されるので、上層では高抵抗のInAlAs層が得られるようになった。

【0010】しかしながら、このようにして作製されたInAlAs層上にInGaAs層を形成して作製される高電子移動度トランジスタも十分に満足する特性を示さない。例えば、ドレイン電流遮断が不十分であったり、I-V特性曲線にKinkが生じたりする。ところが、これまでは何故このような素子特性の不良が生じるのか、その原因が不明であった。そこで、素子構造を更に検討した結果、InAlAsにより形成されるバッファ層部分に改良を加えると上記素子特性の不良がなくなることがわかった。

【0011】以上に鑑み、本発明は、InP基板とInAlAsバッファ層との界面構造に改良を加えることにより、動作特性の良好なトランジスタを提供することを目的とし、また、このようなトランジスタの作製を可能とする結晶成長方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明のトランジスタは、InP基板上にInAlAsの保護層が形成され、該保護層上にInAlAsの高抵抗バッファ層が形成され、該バッファ層上にチャネル層が形成されていることを特徴とする。

【0013】上記InAlAsの保護層は、好ましくは100Å以下の厚みとするのが良い。

【0014】上記保護層は、InP基板の自然酸化膜が加熱除去された後すぐに形成されたものが良く、従って、通常n-Typeとなる。

【0015】本発明の結晶成長方法は、InP基板を加熱して自然酸化膜を除去し、該自然酸化膜除去時の温度を維持したままで分子線エピタキシャル法を用いてInAlAsの保護層を形成し、該InAlAsの保護層の形成されたInP基板の温度を高抵抗InAlAs層の成長適温度にまで下げ、該成長温度に達した後、上記InAlAsの保護層上に高抵抗InAlAs層をエピタキシャル成長させることを特徴とする。

【0016】上記自然酸化膜除去のための基板温度は約560℃が良く、高抵抗InAlAs層成長時の基板温度は約350℃が良い。また、保護層厚は100Å以下とするのが良い。

【0017】

【作用】本発明のトランジスタでは、InP基板上に形成されるInAlAsの保護層が、InP基板表面を安定に保つとともにInP基板上への不純物の付着を防ぐとともに、この上に形成されるInAlAsのバッファ層の働きを良好にしてチャネル層内への電子の閉じ込めを十分にできるように働く。この作用は、保護層厚が100Å以下で特に有効に働く。

【0018】本発明の結晶成長方法では、InP基板の

自然酸化膜が除去された後、基板温度を低下させることなくInAlAsの保護層が形成されるため、InP基板界面付近への不純物の取り込みが少ない状態で保護層が形成されるため、より良好な保護層となる。

【0019】また、保護層がこの後の基板冷却時に、InP基板表面への不純物の付着を防ぎ、InAlAs保護層表面への不純物の付着も少ない。また保護層表面が不安定となることもない。従って、高抵抗で、この上に形成される動作層に悪影響を与えることのない安定なInAlAs層が形成される。

【0020】

【実施例】図1及び図2を用いた実施例により本発明のトランジスタ及び結晶成長方法をさらに説明する。図1は本実施例トランジスタの断面構造図、図2は本実施例成長方法を説明する基板温度プロファイル図である。以下、製造工程に従って説明する。

【0021】Fe添加半絶縁性InP基板1は、通常の方法で脱脂、エッチングされ、分子線エピタキシャル装置に導入される。その後半絶縁性InP基板は、高真空( $1 \times 10^{-9}$  Torr)下の予備室で300℃で予備加熱され、比較的低温で解離可能な不純物が除去される。その後、InP基板1は、高真空( $1 \times 10^{-10}$  Torr)下の成長室に導入される。このときのInP基板1の温度は、室温程度までに降温されている。なお、成長に用いられる各ソース材料のセルは成長速度が約 $1 \mu\text{m/hr}$ に、分子線比As/(In+Al or Ga)は約7となるようにセル温度を設定している。以下の基板温度に関しての記述は、分子線エピタキシャル装置内の絶対温度の測定が不可能なため、基板の投入電力、熱電対出力電圧、放射温度計からの測定である。

【0022】その後半絶縁性InP基板1は300℃程度まで温度勾配が一定になるように昇温される。基板面で温度が一定になるようにその温度で基板温度は約8分間保持される。時間経過後、基板温度を再び温度勾配一定に上昇させる。その際に $2 \times 10^{-5}$  Torr程度のAs<sub>4</sub>分子線を基板に照射しておく。基板温度が560℃迄上昇したら、その温度で約3分間保持する。通常はこの間にInP基板1の自然酸化膜は、完全に除去されている。

【0023】その後も基板温度をそのまま保持し、InとAlのシャッタを開けて、InとAlの分子線を基板に照射することにより100Å InAlAs保護層2を成長する。

【0024】100Å成長したらInとAlのシャッタを閉じ、基板に照射されていた分子線を遮断することにより成長中断をする。その間に基板温度を350℃に変える。その後、基板温度が350℃±3℃程度になるまでAs<sub>4</sub>分子線を基板に照射しつつ成長中断を継続する。

【0025】基板温度が350℃±3℃程度になった

ら、InとAl分子線を基板に照射し、約3800Å程度基板温度を固定しInAlAs層3を成長する。3800Å程度成長したら、再びInとAlの分子線を遮断することにより成長中断する。その間に基板温度を再び520℃程度に変える。基板温度が520℃±3℃程度になるまで成長中断を継続する。基板温度が520℃±3℃程度になったら、InとAl分子線を基板に照射し、約100Å程度意図的に不純物を添加しないInAlAs層4を成長する。

【0026】次に基板温度を520℃に固定したまま、通常の方法でInAlAsチャネル層5を200Å、InAlAsスペーサ層6を15Å、Siドープ(1×10<sup>19</sup>cm<sup>-3</sup>)されたn型InAlAs電子供給層7を50Å、InAlAsショットキー電極形成層8を300Å、Siドープ(1×10<sup>19</sup>cm<sup>-3</sup>)されたn型InGaAsオーミック電極形成層9を100Å積層する。これらの各層は、InP基板に格子整合するようにInGaAs、InAlAs各層の組成は、In<sub>0.53</sub>Ga<sub>0.47</sub>As、In<sub>0.52</sub>Al<sub>0.48</sub>とした。

【0027】本実施例の高電子移動度トランジスタでは、InGaAsチャネル層5におけるInAlAsスペーサ層6との界面近傍に2次元電子ガス層が形成される。なお、基板温度を350℃から520℃にまで変化させて成長したのは、InAlAs電子供給層5のドーピング特性を安定化させるためである。

【0028】このようにして作製したトランジスタでは、ドレイン電流遮断不良及びエーレ曲線Kinkが生じなかった。

【0029】図3に本実施例と同条件でInP基板上に1μmの厚さに形成したInAlAs層中の不純物濃度の深さ方向分布の測定結果を示す。尚、1μmのうち100ÅはInAlAs保護層である。図4に比較のために図7に示した方法を用いて保護層を設けることなくInAlAs層を1μmの厚さに形成した場合の同様の測定結果を示す。

【0030】図からわかるように、図7に示した方法で作製したものでは、表面から1μmの位置の基板界面付近で不純物濃度が非常に大きくなっており、基板から約0.2μmの位置まで不純物の高濃度領域が存在し、これに対して本実施例の方法で作製したものでは、不純物の高濃度領域が存在していないことがわかる。

【0031】図5に本実施例のトランジスタにおいて、InAlAs層の厚みを50Å、100Å、150Åと変えた場合の2次元電子ガス濃度とその電子移動度を示した。尚、比較のために保護層を形成しない従来のトラ

ンジスタについての値も併記した。

【0032】同図から、本実施例のトランジスタでは2次元電子ガスの特性が向上していることがわかる。また、同図から保護層厚は100Å以下とするのが良いことがわかった。

【0033】

【発明の効果】本発明のトランジスタによれば、例えばドレイン電流遮断不良及びI-V曲線のKinkの発生を防止でき、特性良好なトランジスタが得られる。

【0034】また、本発明の結晶成長方法によれば、本発明トランジスタで用いられるInAlAs保護層及びInAlAsバッファ層を特性良く作製できる。また、このInAlAs層上に2次元電子ガス構造を形成すると、2次元電子ガスの電子移動度、電子濃度を大きくでき、さらに安定にできる。

【0035】尚、本発明のトランジスタの構造は高電子移動度トランジスタ、MESFET等広くトランジスタに利用でき、本発明の結晶成長方法は、InP基板上に高抵抗で安定なInAlAs層をエピタキシャル成長する方法として広く利用できる。

【図面の簡単な説明】

【図1】本発明実施例のトランジスタの概略断面構造図である。

【図2】本発明実施例の結晶成長方法を説明する温度プロファイル図である。

【図3】実施例InAlAs不純物濃度深さ方向分布を示す図である。

【図4】比較例InAlAs層の不純物濃度深さ方向分布を示す図である。

【図5】InAlAs保護層厚と2次元電子ガス特性との関係を示す図である。

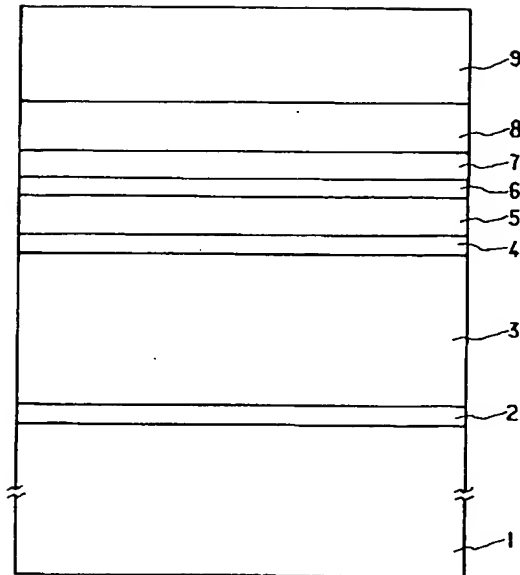
【図6】従来の結晶成長方法を説明する温度プロファイル図である。

【図7】本発明以前の結晶成長方法を説明する温度プロファイル図である。

【符号の説明】

- 1 InP基板
- 2 InAlAs保護層
- 3 InAlAs層
- 4 InAlAs層
- 5 InGaAsチャネル層
- 6 InAlAsスペーサ層
- 7 InAlAs電子供給層
- 8 InAlAsショットキー電極形成層
- 9 InGaAsオーミック電極形成層

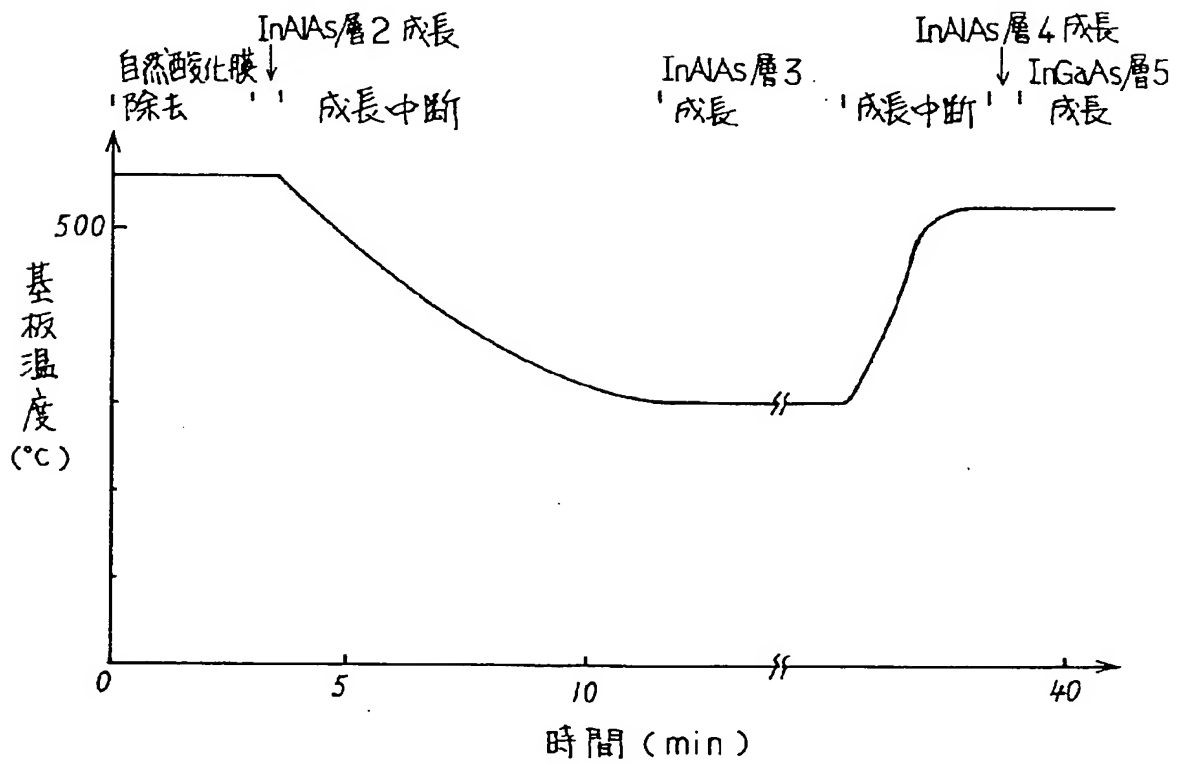
【図1】



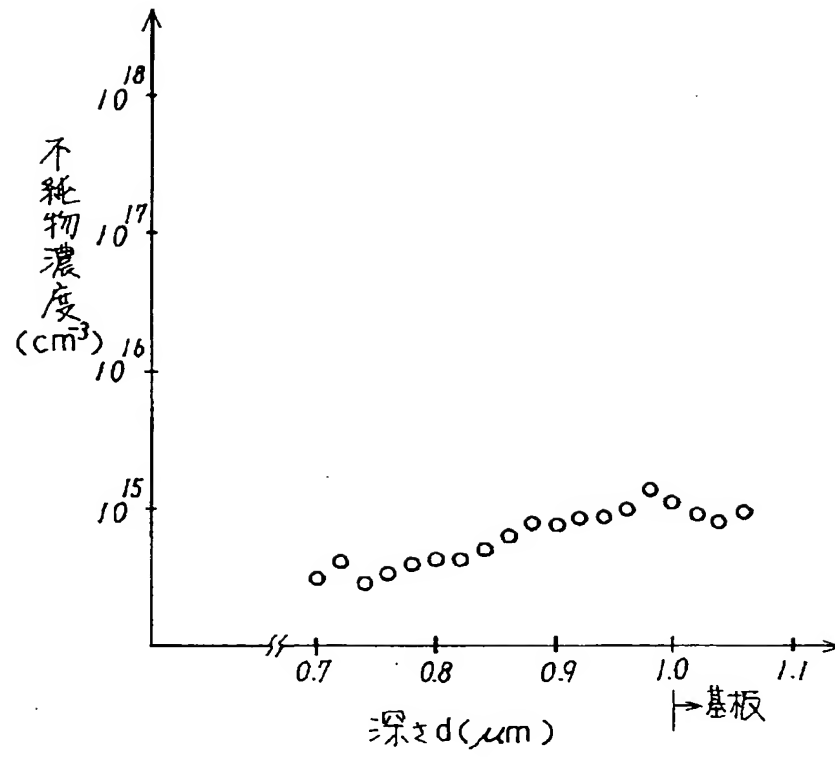
【図5】

保護層厚	電子濃度 ( $\text{cm}^{-2}$ )	電子移動度 ( $\text{cm}^2/\text{V}\cdot\text{s}$ )
50 Å	$2.5 \times 10^{12}$	8,800
100 Å	$2.3 \times 10^{12}$	8,500
150 Å	$1.7 \times 10^{12}$	7,900
0 Å (除去)	$1.2 \times 10^{12}$	7,100

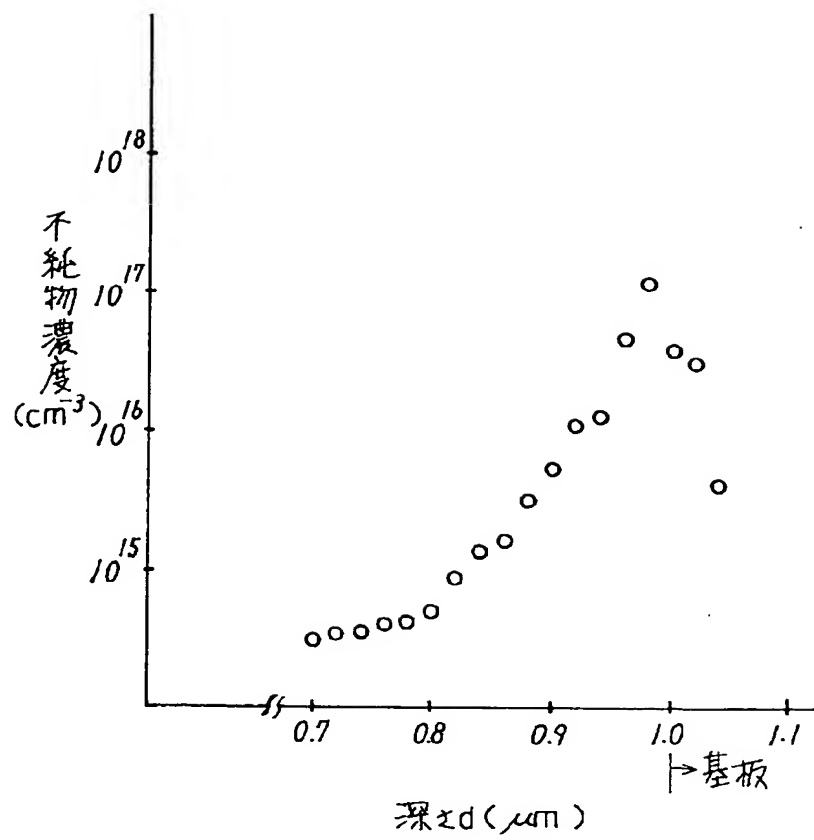
【図2】



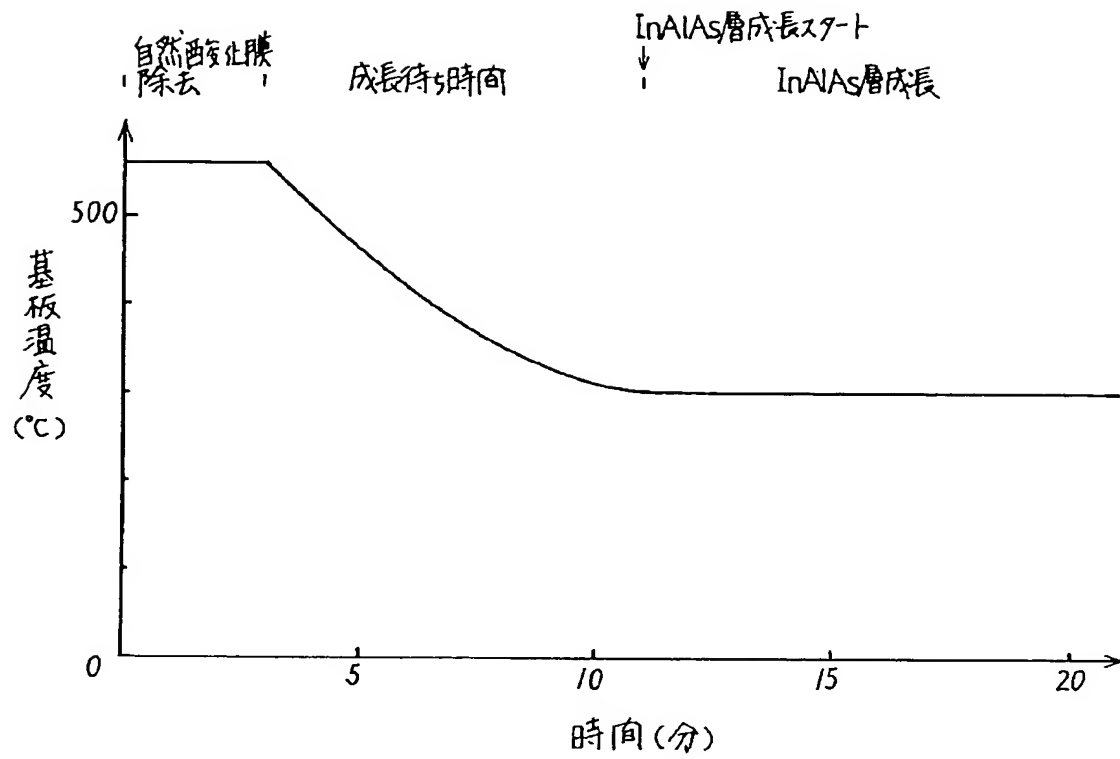
【図 3】



【図 4】



【図6】





【図7】

